

WWW.EDUDEVICES.COM.AR

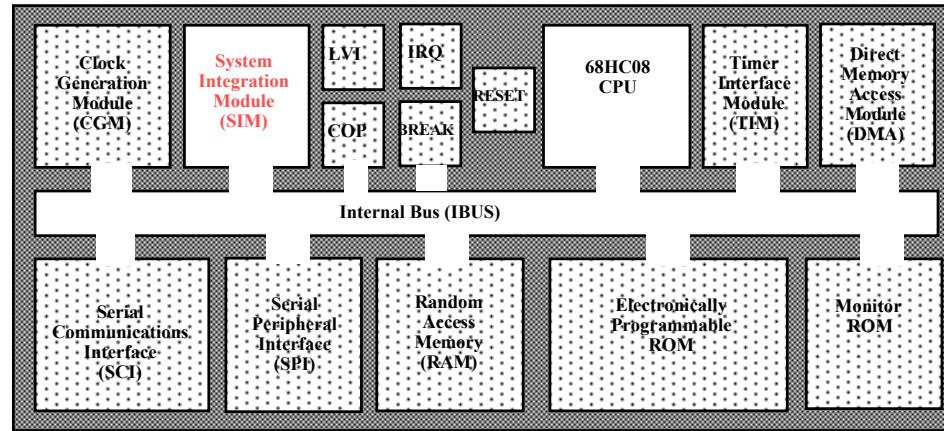


Curso de Microcontroladores
Familia HC908 Flash de Freescale

Parte II

ING. DANIEL DI LELLA

System Integration Module



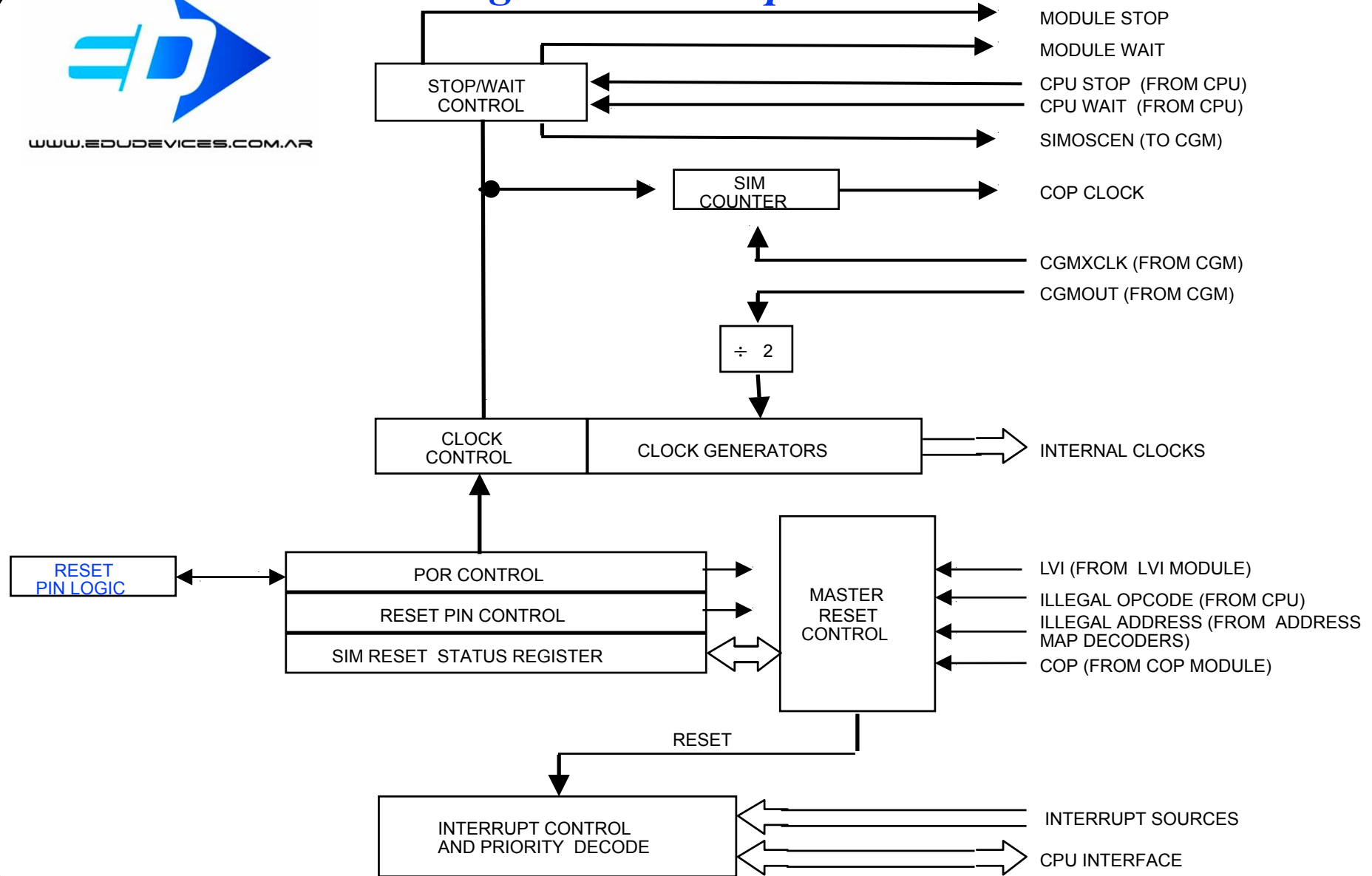
WWW.EDUDEVICES.COM.AR

- Deriva los “Bus clocks” desde el **CGM**
- Generación y control del clock bus para el CPU y periféricos
 - **Stop/wait/reset/break** entrada y recupero
 - Control interno del clock
- Control del **Master Reset**, incluyendo al **Power-On Reset (POR)** y al **COP** timeout
- Control de interrupciones:
 - Conocimiento de la temporización
 - Control de la temporización por Arbitraje
 - Generación del “Vector Adress”
- Habilitación/Deshabilitación de la temporización en el CPU
- Arquitectura Modular expandible hasta 128 fuentes de interrupción (concebida para futuros derivados).



WWW.EDUDEVICES.COM.AR

Diagrama en Bloques del SIM



Curso de Microcontroladores

Familia HC908 Flash de Freescale

Parte II

ING. DANIEL DI LELLA

System Integration Module (SIM)

- Bus Clocks -



WWW.EDUDEVICES.COM.AR

Toma la salida del “Clock Generation Module” (CGM)

- Distribuye los clocks a los submódulos

Controla clocks del sistema en los modos “low power”, de la siguiente forma:

- **WAIT**
 - Detiene el clock del CPU solamente !!!
- **STOP**
 - Detiene todos los bus clocks !!!
 - Activa la señal **SIMOSCEN**
 - Apaga los circuitos osciladores del CGM.

Una de las principales funciones del SIM es la de controlar y distribuir las señales de Clock hacia los distintos módulos del MCU, su acción es fundamental en los modos “low power”, pues es el encargado de “quitarle” la señal de clock a un módulo determinado, para así garantizar el modo de bajo consumo, sin perder funcionalidad operativa.

Control del Reset

SIM Reset Status Register

- El **SRSR** registra la causa de la última secuencia de reset .
(Uno y solamente un bit será seteado!!!)

SRSR	READ:	POR	PIN	COP	ILOP	ILAD	MODRST	LVI	0
	WRITE:								
	RESET:	1	0	0	0	0	0	0	0

El Bit indicador de la fuente del Reset es limpiado por lectura del **SRSR** o x **P.O.R**

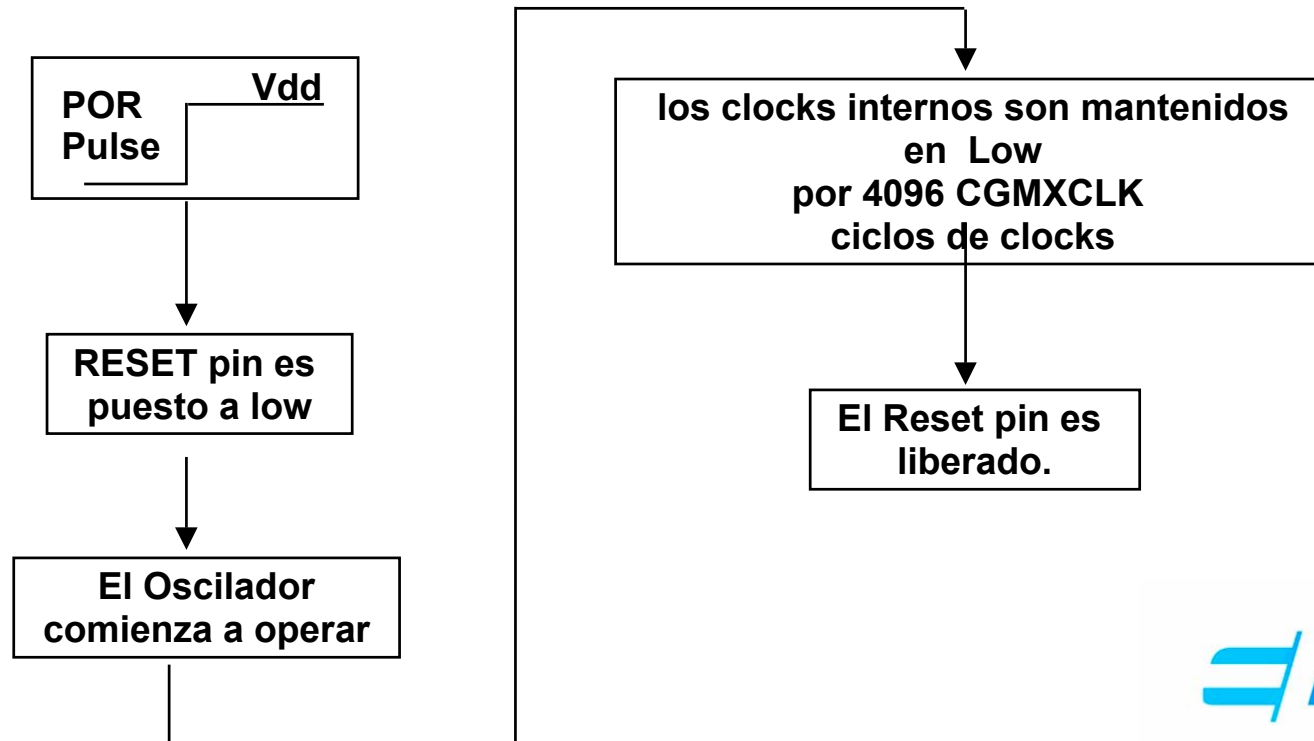
Fuentes de Reset en el MCU:

- Power-on Reset Module (**POR**)
 - External Reset Pin (**RST**)
 - Illegal Opcode Reset
 - Illegal Address Reset
- Causado por un “opcode fetch” desde una dirección ilegal.
- Low-Voltage Inhibit Module (**LVI**) (supervisor de baja tensión)
 - Computer Operating Properly Module (**COP**)



WWW.EDUDEVICES.COM.AR

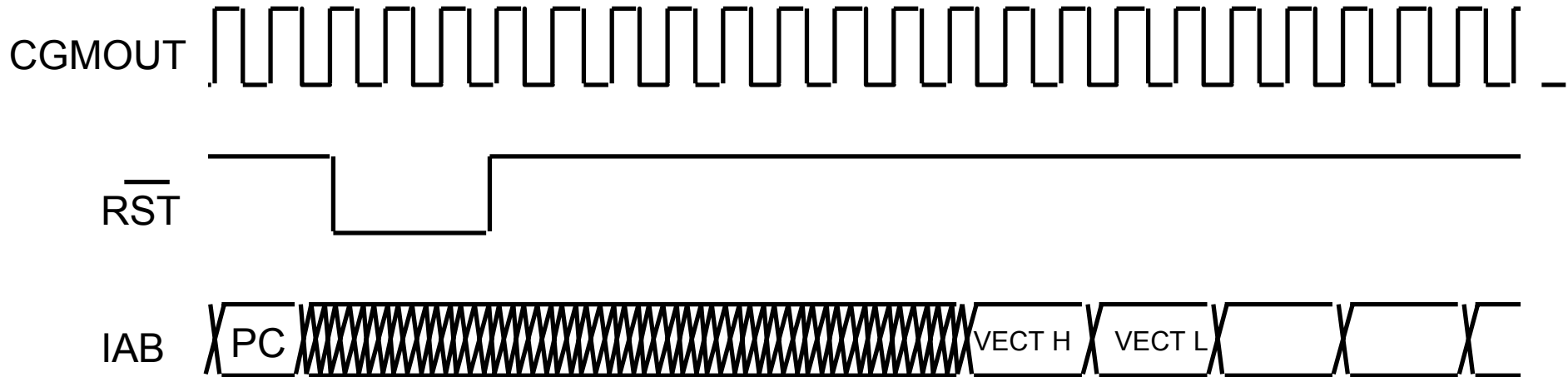
Flujo del Power-On Reset



WWW.EDUDEVICES.COM.AR



Pin externo de Reset



- La señal interna de reset puede ser generada forzando el pin RST a **low**
- El bit "**PIN**" del SIM reset Status Register (**SRSR**) es seteado si:
 - RST es mantenido bajo por un mínimo de 67 ciclos de CGMXCL ^κ
 - Tiempos de seteo del PIN Bit :

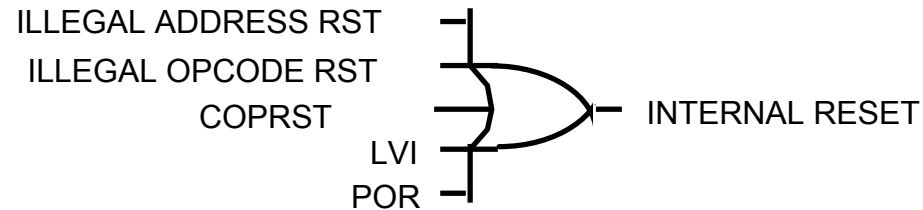
POR/LVI Resets = 4163 = (4096 + 64 + 3) Ciclos

Todos los otros Resets = 67 = (64+3) Ciclos



WWW.EDUDEVICES.COM.AR

Resets Internos



WWW.EDUDEVICES.COM.AR

Illegal Opcode Reset

- Ocurre cuando el CPU decodifica instrucciones que no son del “opcode map”

Illegal Address Reset

- Ocurre cuando el CPU trata de buscar una instrucción desde una dirección que no está definida en el mapa de memoria.

Low Voltage Inhibit Reset

- LVI indica cuando V_{DD} cae por debajo de un limite prefijado
- El Reset permanece por 4096 ciclos de CGMXCLK clock después de que V_{DD} es restablecida
 - Permite la estabilización del clock

Computer Operating Properly Reset

- COP indica si el “ timer” ha expirado
 - El Timer debe ser periodicamente reseteado
- Protección del sistema, previene “colgadas” en el proceso.



WWW.EDUDEVICES.COM.AR



Interrupciones

El HC908 puede procesar hasta 128 resets/interrupciones separadas

Los módulos perifericos On-Chip generan interrupciones enmascarables

- Reconicidas solamente si el “interrupt mask bit” está limpio
- Indicada tambien por un “flag de estado de la interrupción en cada uno”

Todas las interrupciones están priorizadas

SIM module

- Recibe todas las interrupciones
- Realiza arbitrajes
- Pasan las interrupciones de más alta prioridad al CPU

FIN CAPITULO 8 !!!



WWW.EDUDEVICES.COM.AR